**什么是单粒子翻转（SEU）？如何减缓其对飞机安全的影响？**

**01 前面的话**

**单粒子翻转**，英文 **Single Event Upset**，缩写为 **SEU**。



SEU 效应，是机载**复杂电子硬件**设计过程中，所必须考虑的重要问题。

本文对 **SEU 效应**的入门知识进行介绍，对复杂电子设备所用到的**芯片**进行分析，最后引入了几种常见的 **SEU 减缓技术**，对于民用飞机机载复杂电子硬件的设计具有一定的参考意义。

**02 单粒子翻转介绍**

单粒子翻转（SEU）是由于**空间粒子辐射**而导致存储单元发生**位翻转**（即内容由 0 变为 1，或由 1 变为 0）。



SEU 效应是瞬态的、非破坏性的，但是它可能会改变微电子电路的 RAM（Random Access Memory，随机访问存储器）构型，对可编程电子硬件所执行的功能产生不利影响。

现代民机飞控、航电等系统高度复杂，其大量采用了**基于 RAM 的复杂电子设备**。例如**微处理器**，现场可编程门阵列 **FPGA**（Field Programmable Gate Array）等。

这些设备中包含 **SEU 敏感部件**，一旦受到 SEU 效应影响，则可能导致程序执行序列紊乱、计算结果错误、工作异常、甚至是系统的崩溃。

因此为保证他们所执行功能的**可用性**和**完整性**，应考虑额外的检查和/或设计特征，并对 SEU 效应的安全性影响进行分析。

这里分析了复杂电子设备经常用到的**芯片类型**，包括**专用集成电路器件 ASIC**（Application Specific Integrated Circuit）、**反熔丝 FPGA**、**SRAM 型 FPGA**、**Flash 型 FPGA**。并总结了**三模冗余**、**纠错码**、**擦洗**、**系统监控**这四种常见的 SEU 减缓技术。

**03 航空应用中的芯片选择**

目前在民机机载设备的研制过程中，得到了广泛应用的芯片主要包括专用集成电路器件 **ASIC**和**FPGA**。

ASIC 芯片能够实现高密度、小体积和低功耗，但 **ASIC 制片成本和风险较高**，欠缺灵活性。

ASIC 一旦制造完成，如果需求发生更改需要**较长更改周期和巨额重制费用**，因此 ASIC 适用于**不需要过多特殊定制**、**能够大规模量产**应用的场合，且要求设计需求 “**一次正确**”。

ASIC 虽然也对 SEU 敏感，但相对来说具有较好的**抗 SEU 性能**。

随着电子工业的飞速发展，FPGA 由于兼顾高性能及灵活性，在数字系统设计及 ASIC 原型前端设计中得到广泛的应用。

FPGA 的主流技术有**基于反熔丝**、**基于 SRAM** 和**基于 Flash** 三种。

1. 基于反熔丝的 FPGA 在编程后即使掉电也不丢失数据，使用较方便，稳定可靠，有比较好的抗 SEU 性能。 但传统的反熔丝 FPGA 由于不可重复编程以及成本高昂等原因逐渐被 Flash 型和 SRAM 型 FPGA 所代替。
2. 基于 SRAM 的 FPGA，可大大减少采购成本，提高设备性能，缩短开发周期，也可反复编程使用。因此 SRAM 型 FPGA 在机载复杂电子设备中得到了越来越多地关注和应用。 SRAM 型 FPGA 能够应用于辐射环境中，主要归功于其相对于 ASIC 低廉的价格，以及其他类型 FPGA 没有的可重复编程能力。但是 SRAM 型 FPGA 相比于其他结构的器件，更易受到辐射效应中的单粒子翻转效应的影响。 一方面，近年来 FPGA 芯片工艺不断发展，从 150nm 到今天的 14nm，特征尺寸的减小加剧了基于 SRAM 的 FPGA 的 SEU 发生；另一方面，芯片的工作频率不断提升，使得基于 SRAM 的 FPGA 对 SEU 更加敏感。这些都对基于 SRAM 的 FPGA 在民机上的应用造成了限制。 因此在使用 SRAM 型 FPGA 时，必须考虑对器件进行 SEU 方面的有效加固，以减缓 SEU 效应带来的影响。
3. 基于 Flash 的 FPGA 与 SRAM 型 FPGA 相比，在抗 SEU 影响方面具有较大优势，可靠性高。 一般来说，Flash 型 FPGA 是一种单芯片解决方案，不需要外部配置器件，上电即可运行且断电之后能够保存配置代码，具有低功耗、高性能的布线结构。但其写入用户电路的速度稍慢于 SRAM 型 FPGA，而且相关设计和制造工艺没有 SRAM 型 FPGA成熟，市场上可选的产品相对有限。

下图给出了 ASIC、反熔丝 FPGA、SRAM 型 FPGA、Flash 型 FPGA，这四种芯片的**综合比较**信息。

目前在民机机载设备上应用较多的是 **ASIC**、**SRAM 型 FPGA**、**Flash 型 FPGA**（根据使用场合不同，各有侧重）。

由于这些器件**对 SEU 效应的敏感**，因此在民机应用中需要针对 SEU 效应进行**加固和减缓**。

**04 SEU 减缓技术**

在民机系统和设备设计时，为将 SEU 带来的安全性影响减缓到最小，可针对 SEU 效应敏感的器件，采用**三模冗余**（Triple Module Redundancy, **TMR**）、**纠错码**（Error Correction Code, **ECC**）、**擦洗**（Scrubbing）和**系统监控**这几种常见的 SEU 减缓措施。

**A 三模冗余 TMR**

复杂电子硬件内部通过设置具有三模冗余的**同步动态存储器**，并对三路数据进行投票表决，可以防止随机故障的发生。

例如某飞机的计算机采用了三余度的 **SDRAM**，各自具有独立控制器，能够实现位对位表决和位故障修复，可以有效地**预防和纠正**单粒子翻转带来的影响。

其基于硬件的三模冗余原理示意，如下图所示。

图中，三个相同的存储器模块 M1、M2、M3 分别接收三个相同的输入，产生的三个结果送至数据表决器模块。

表决器模块的输出取决于三个输入的**多数**（多数表决原则）。若有一个模块发生 SEU 故障，则另两个正常模块的输出可将故障模块的输出投出去，确保表决器输出的正确性。

三模冗余技术的优点在于**速度快**，缺点是所需附加**硬件资源多**，从而造成功耗、质量及体积增大。

**B 纠错码技术 ECC**

纠错码是一种针对 SEU 常见的减缓方法，可使用特定的**编码和解码规则**，检测和纠正存储器中的故障。

纠错码的基本原理是在信息编码序列上**附加冗余编码**，然后进行存储和传输，这些**冗余编码**与**信息编码**之间存在某种确定的相互关联。接收方可以通过校验冗余编码与信息编码之间的关联，发现是否受到 SEU 影响，继而实现故障隔离或者利用编码算法将其纠正。

FPGA 的 ECC 编码目的，是为了在读取存储单元的内容时，能够发现差错并将其纠正。一般采用**既能检错又能纠错**的编码方法，如**循环冗余校验 CRC**、**海明码(Hamming Code)**等。

根据航空工业应用情况，采用这两种编码方案在确定码长的情况下，一般至少能够纠正一位错误。

典型的**纠错码技术**功能框图，如下图所示。

**C 擦洗**

机载电子设备上电时，通过配置电路将配置存储单元的内容写进 FPGA 中。当 FPGA 受到 SEU 效应影响时，相应存储单元将出现 “位翻转” 现象。

因此，通过**周期性的擦洗**，即刷新存储单元中的内容，可以缩小存储单元受到 SEU 影响而发生位翻转的**暴露时间**。

经验表明频繁地擦洗可以直接地提高存储器的抗 SEU 能力，且**擦洗时间间隔减小，安全性水平有显著提高**。擦洗无须冗余的附加硬件逻辑资源，仅需适当增加自适应的周期性刷新操作，增加了系统设计实现的复杂度。

擦洗技术仅适合片外 FPGA 配置存储单元的抗 SEU 设计，该方法本身并**不能对存储内容是否受到 SEU 影响进行判断**，因此数据并不一定可靠。

擦洗本质上不能解决由 SEU 效应带来的问题，**仅提供了一定程度上的减缓**。

**D 系统监控**

系统可以设置**不同层级的监控器**，对 SEU 影响进行监控，并及时对故障进行隔离。系统监控是一种被动的 SEU 减缓技术，其目的是隔离故障和重构系统，最小化故障带来的影响。

系统监控**不仅仅只针对 SEU 影响**，其作为**提高飞机安全性的必要措施和实现故障检测的有效途径**，在民机各系统设计中得到了广泛应用。

在**设备层级**，可以通过**指令/监控**架构，对指令和数据进行位对位比较，一旦发现不匹配，启动相应的故障响应措施，并给飞机中央维护系统报故障信息，着陆后进行维护操作。

在**系统层级**，机载系统核心计算机通过采集传感器和其他设备工作数据，进行回绕监控、总线数据健康监控等，发现故障后切换至冗余通道，对系统进行重构。

**05 总结**

OK，本文针对 **SEU 效应**，分析了机载系统经常使用到的**芯片类型及优缺点**，并总结了适用的**SEU 减缓技术**，可指导民机机载**系统设计**和硬件芯片的**选用权衡**。